

Réseaux et informatique embarquée

4. Classification et architecture des processeurs

Valentin Gies

Seatech - 4A
Université de Toulon (UTLN)

Plan du cours

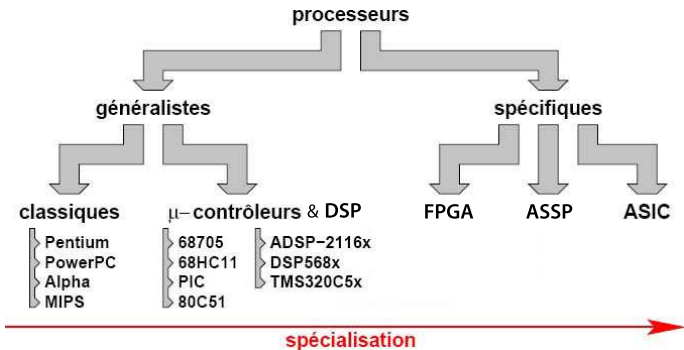
- 1 Classification et contexte d'utilisation des processeurs
- 2 Architecture des processeurs
 - Von Neumann
 - Harvard
 - Applications

Plan

- 1 Classification et contexte d'utilisation des processeurs
- 2 Architecture des processeurs
 - Von Neumann
 - Harvard
 - Applications

Classification des processeurs

Classification des processeurs



- ASIC : Application-Specific Integrated Circuit
- ASSP : Application-Specific Standard Product
- FPGA : Field Programmable Gate Array

Comparatifs des processeurs

Comparatif des processeurs

● ASIC - ASSP :

- *Inconvénients* : Coûts initiaux très importants (masques)
- *Atouts* : Ultra-rapide, low power et performant (car dédié).

● FPGA :

- *Inconvénients* : Coût à l'unité élevé (> 20\$).
- *Atouts* : Pas de coût initial, évolutif, performances élevées.

● DSP et microcontrôleurs :

- *Inconvénients* : Performances limitées en vitesse.
- *Atouts* : Bon marché (< 1\$), performant pour les I/O, le calcul scalaire (DSP), les machines à état, ultra-low power.

● Processeurs classiques

- *Inconvénients* : Cher, forte consommation énergétique.
- *Atouts* : versatile (mais à quel prix !)

Contexte d'utilisation des processeurs

Contexte d'utilisation des processeurs

- **ASIC - ASSP :**
 - Taches dédiées ultra-rapides (réseau Gbit, MPEG, RAID...)
 - Très gros volumes
- **FPGA :**
 - Tâches dédiées rapides - volumes faibles à moyens
- **DSP et microcontrôleurs**
 - Acquisition et traitement de signal (filtrage linéaire, calcul matriciel) à vitesse modérée.
 - Pilotage système : gestion machine à état, PWM...
 - Applications à coût réduit - faible consommation d'énergie
- **Processeurs classiques**
 - Algorithmique de haut-niveau : traitement d'image, intelligence artificielle...

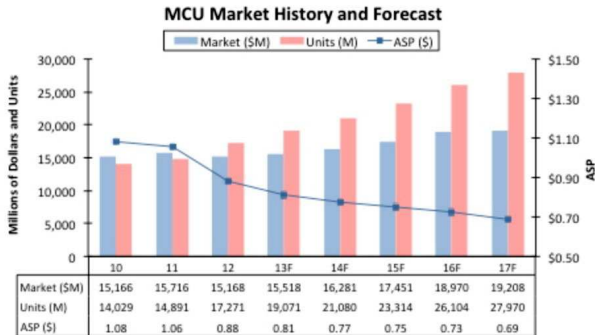
Contexte d'utilisation des processeurs

Elements économiques (2013) :

Type de processeur	CA annuel	Nb unités vendues
MCU 4-8 bits	4.4 Md\$	6.7 Md
MCU 16 bits	4.2 Md\$	7.9 Md
MCU 32 bits	6.9 Md\$	4.45 Md
DSP	5 Md\$	2.8Md
FPGA	5 Md\$	$\approx 0.3Md$
ASIC/ASIP (hors smartphones et al.)	57 Md\$	$\approx 200Md$

Contexte d'utilisation des processeurs

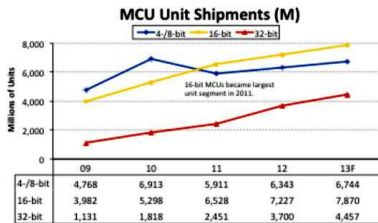
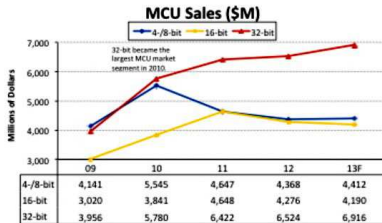
Evolution des ventes annuelles de microcontrôleurs



Source: IC Insights

Contexte d'utilisation des processeurs

Evolution des ventes annuelles de microcontrôleurs



Source: IC Insights

Plan

- 1 Classification et contexte d'utilisation des processeurs
- 2 Architecture des processeurs
 - Von Neumann
 - Harvard
 - Applications

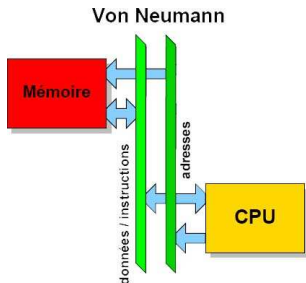
Introduction aux architectures de microcontrôleurs et DSP

Objectifs de cette partie :

- Comprendre les **différences entre familles** de processeurs utilisés en mécatronique (DSP et Micro-contrôleurs).
- Comprendre pourquoi les **performances** sont aussi différentes.
- Comprendre les **limitations** des ces processeurs.

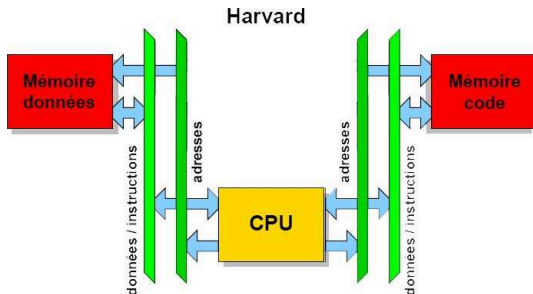
Rq : cette section ne se veut pas exhaustive, mais simplement une introduction pour vous donner envie d'aller plus loin !

Architecture classique : "Von Neumann"



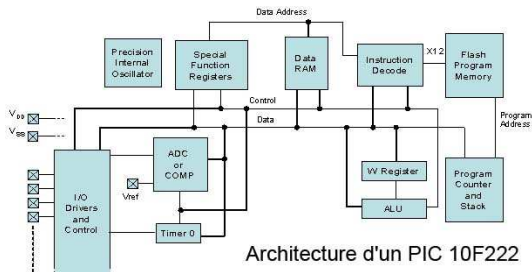
- **1 mémoire** : programme et données
- ⇒ **Accès séquentiel** aux données et au programme.
- Très **facile** à programmer : pas de précaution nécessaires.

Architecture classique : "Harvard"



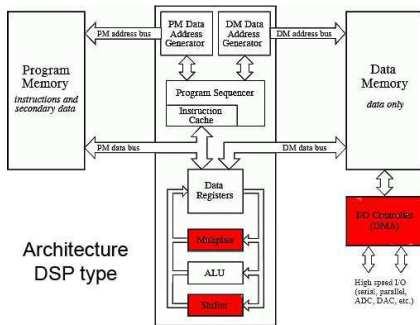
- **2 mémoires** : accessibles simultanément
- \Rightarrow **moins de manipulations** de données.
- **Plus complexe** à programmer.
- Possibilité d'utiliser la mémoire programme comme 2e mémoire de données (utile pour les opérations type produit scalaire).

Le micro-contrôleur (Von Neumann)



- 1 bus de données \Rightarrow codage des données précis (souvent en virgule flottante).
- ALU (Arithmetical and Logic Unit) classique : opérateurs addition, opération booléennes.
- Accès séquentiel aux port E/S \Rightarrow Débit limité !

Le DSP (Harvard)



Architecture
DSP type

- 2 (ou plus) bus de données \Rightarrow codage des données moins précis (souvent en virgule fixe).
- ALU étendue : MAC (Multiplier and Accumulator) et Barrel Shifter (décaleur à barillet).
- Entrées-sortie haut débit : DMA (Direct Memory Access)

DSP versus Micro-contrôleur

Calcul de produit scalaire : $y = y + \sum x_i * z_i$

- **Micro-contrôleur** : opération complexe

TABLE 28-1
FIR filter steps.

1. Obtain a sample with the ADC; generate an interrupt
2. Detect and manage the interrupt
3. Move the sample into the input signal's circular buffer
4. Update the pointer for the input signal's circular buffer
5. Zero the accumulator
6. Control the loop through each of the coefficients
7. Fetch the coefficient from the coefficient's circular buffer
8. Update the pointer for the coefficient's circular buffer
9. Fetch the sample from the input signal's circular buffer
10. Update the pointer for the input signal's circular buffer
11. Multiply the coefficient by the sample
12. Add the product to the accumulator
13. Move the output sample (accumulator) to a holding buffer
14. Move the output sample from the holding buffer to the DAC

- **DSP** : calculs scalaires très performants

MAC + Décaleur à barillet + 2 accès mémoire simultanés

⇒ $y = y + x_1 * z_1$ est réalisé en **1 cycle au lieu de 10** sur un micro-contrôleur.

Vers une combinaison micro-contrôleurs DSP

- DSP : performant pour les calculs de bas niveau à haut débit (produits scalaires...)
- Micro-contrôleurs : efficace pour le contrôle et la gestion d'un système
- ⇒ **Idée : pourquoi ne pas les combiner dans un même circuit ?**
 - **SoC** (System On a Chip) : intégration dans un ASIC de DSP et de microcontrôleurs.
 - **FPGA** (Field Programmable Gate Array, tableau de porte logiques et de bascules programmable) : permet de **programmer une architecture** composée de micro-contrôleurs et de DSP.
⇒ Solution reconfigurable en fonction de l'application.

Questions ?

- Questions
- Contact : contact@vgies.com
- Site internet : **www.vgies.com**